

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-178102

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

H01L 21/8234

H01L 27/06

(21)Application number : 08-338131

(71)Applicant : SONY CORP

(22)Date of filing : 18.12.1996

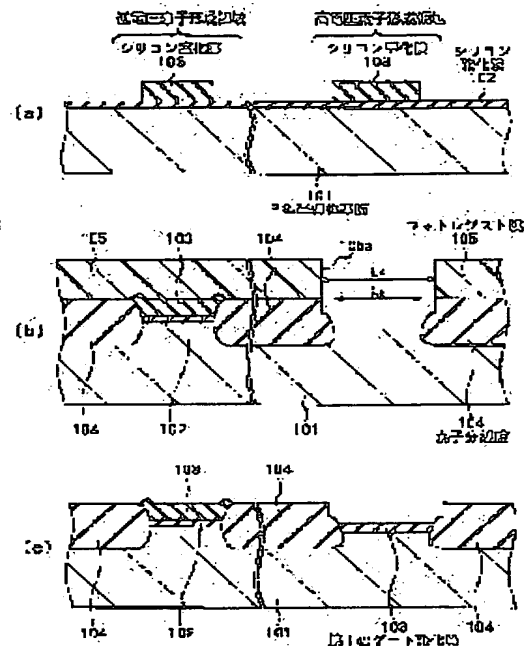
(72)Inventor : SHINOHARA MAMORU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a low voltage element and a high voltage element on the same substrate without sacrificing integration degree in a formation region for a low voltage element.

SOLUTION: An element separating film 104 is formed corresponding to a high voltage element formation region and a low voltage element formation region in LOCOS method. Corresponding to the high voltage element formation region, a resist film 105 having an opening 105a is formed, and, with this film as a mask, a silicon nitride film 103 and a silicon oxide film 102 in the opening are removed. A first gate oxide film 106 is selectively formed on the high voltage element formation region of a P type semiconductor substrate 101 by thermal-oxidation. At this time, since the low voltage element formation region is covered with the silicon nitride film, no oxide film is formed. After the silicon nitride film and a silicon oxide film in the low voltage element formation region are removed, a second gate oxide film is selectively formed in the low voltage element formation region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-178102

(43) 公開日 平成10年(1998) 6月30日

(51) IntCl.⁸

H 0 1 L 21/8234

27/06

図別記号

F I

H 0 1 L 27/06

1 0 2 C

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-338131

(22) 出願日 平成8年(1996)12月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 篠原 信

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

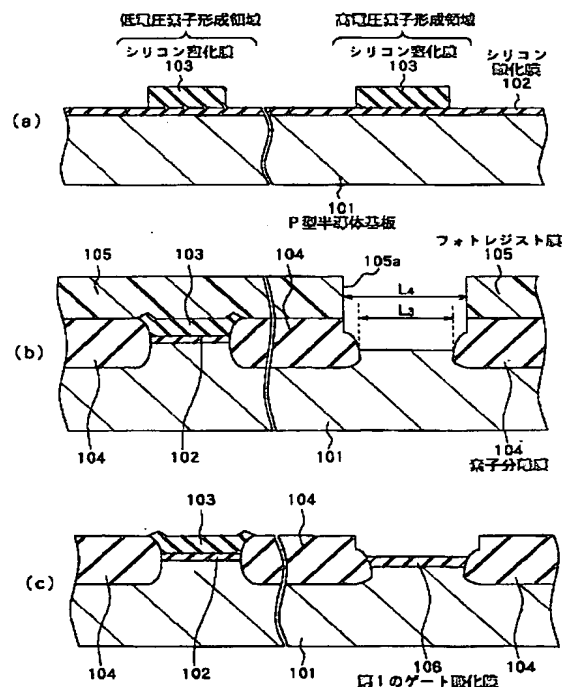
(74) 代理人 弁理士 島 洋一郎

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 低電圧の素子形成領域における集積度を犠牲にすることなく、低電圧素子と高電圧素子を同一基板上に形成することができる半導体装置の製造方法。

【解決手段】 高電圧素子形成領域および低電圧素子形成領域に対応させてLOCOS法により素子分離膜104を形成する。高電圧素子形成領域に対応して開口105aを有するレジスト膜105を形成し、これをマスクとして開口内のシリコン窒化膜103およびシリコン酸化膜102を除去する。熱酸化によりp型半導体基板101の高電圧素子形成領域に第1のゲート酸化膜106を選択的に形成する。このとき低電圧素子形成領域はシリコン窒化膜に覆われているため酸化膜は形成されない。低電圧素子形成領域におけるシリコン窒化膜およびシリコン酸化膜を除去したのち、低電圧素子形成領域に第2のゲート酸化膜を選択的に形成する。



1

【特許請求の範囲】

【請求項1】 半導体基板の表面の複数の領域それぞれに対応させて酸化防止膜を選択的に形成する工程と、前記酸化防止膜をマスクとして前記半導体基板を酸化することにより前記半導体基板の表面に第1の酸化膜を形成する工程と、

前記第1の酸化膜を形成したのち前記複数の領域のうちの少なくとも1の領域における酸化防止膜を選択的に除去する工程と、

前記半導体基板を酸化することにより前記酸化防止膜を除去した領域の前記半導体基板の表面に第2の酸化膜を形成する工程と、

前記第2の酸化膜を形成したのち前記半導体基板の表面に残存している他の酸化防止膜を除去する工程と、

残存していた酸化防止膜を除去したのち前記半導体基板を酸化することにより前記酸化防止膜を除去した領域の前記半導体基板の表面に第3の酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の酸化膜が素子分離膜、第2の酸化膜が高電圧MOS電界効果トランジスタのゲート絶縁膜、第3の酸化膜が低電圧MOS電界効果トランジスタのゲート絶縁膜をそれぞれ構成することを特徴とする請求項1の記載の半導体装置の製造方法。

【請求項3】 半導体基板の表面の複数の領域それぞれに対応させて酸化防止膜を選択的に形成する工程と、前記酸化防止膜をマスクとして前記半導体基板を酸化することにより前記半導体基板の表面に第1の酸化膜を形成する工程と、

前記第1の酸化膜を形成したのち前記複数の領域のうちの少なくとも1の領域における酸化防止膜を選択的に除去する工程と、

前記半導体基板を酸化することにより前記酸化防止膜を除去した領域の前記半導体基板の表面に第2の酸化膜を形成する工程と、

前記第2の酸化膜を形成したのち前記半導体基板の表面に残存している他の酸化防止膜を除去する工程と、

残存していた酸化防止膜を除去したのち前記半導体基板を酸化することにより前記酸化防止膜を除去した領域の前記半導体基板の表面に第3の酸化膜を形成する工程と、

少なくとも前記第2の酸化膜上の一部領域と前記第3の酸化膜上の一部領域に導電体膜を形成する工程と、

前記第1の酸化膜を形成した領域および前記導電体膜を形成した領域以外の領域の前記半導体基板内に不純物を選択的に注入して不純物注入層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記第1の酸化膜が素子分離膜、第2の酸化膜が高電圧MOS電界効果トランジスタのゲート絶縁膜、第3の酸化膜が低電圧MOS電界効果トランジスタのゲート絶縁膜、前記半導体基板表面に形成された導

2

電体膜が高電圧MOS電界効果トランジスタおよび低電圧MOS電界効果トランジスタの各ゲート電極をそれぞれ構成することを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同一の半導体基板上に複数種類の半導体素子を混載してなる半導体装置の製造方法に係り、特に、高電圧MOSFET (Metal Oxide Semiconductor Field Effect Transistor) および低電圧MOSFETのように動作電圧の異なる複数の半導体素子を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】近年の集積回路の製造技術の進歩により、別々の機能を持ち独立した集積回路として構成されていた複数の集積回路を1チップ上で構成することが可能となり、さまざまな試みがなされるようになってきた。その目的としては、低コスト化や、動作の信頼性の向上などが挙げられる。代表的なものとして、コントロール系の論理回路および高負荷を駆動するドライバ回路の1チップ化が提案されてきた。

【0003】一般に、コントロール系の論理回路は、多くの論理ゲートの組み合わせにより構成されている。ゲート数も膨大な数になることから配線長を最適化するためやチップの総面積の縮小等を目的として集積度を上げるために素子は微細化され、ゲート酸化膜も薄く、約5V程度の低電圧で動作するように設定されている。一方、ドライバ回路は、論理回路と比較して素子数も少なく、約60Vの高電圧で駆動するため放電等による破壊を防止するためにゲート酸化膜は厚く形成されなくてはならない。このような低電圧素子と高電圧素子を同一の半導体基板上に形成する場合には、製造過程で同一基板上にそれぞれの耐圧に適した厚さの酸化膜（ゲート酸化膜）を形成する必要がある。

【0004】以下、コントロール系の低電圧MOSFETとドライバ回路等に用いられる高電圧MOSFETが混載された半導体装置の従来の製造方法を図面を参照して説明する。

【0005】まず、図3(a)に示したように、熱酸化によりp型半導体基板（p型シリコン基板）201の表面に例えば膜厚約50nmのシリコン酸化膜202を形成する。次に、例えばCVD (Chemical Vapor Deposition: 化学的気相成長)法によりシリコン酸化膜202上の全面に膜厚例えば200nmのシリコン窒化膜203を形成した後、高電圧素子形成領域および低電圧素子形成領域以外の領域をエッチングして選択的に除去する。続いて、同図(b)に示したように、LOCOS (Local Oxidation of Silicon)法によりp型半導体基板201表面を選択的に酸化して例えば膜厚500nmの素子分離膜（LOCOS膜）204を形成する。その後、15

3

0℃の磷酸溶液によってシリコン窒化膜203を除去し、続いてHF溶液によってシリコン窒化膜203下のシリコン酸化膜を除去する。

【0006】次に、同図(c)に示したように、熱酸化によりp型半導体基板201表面を酸化して高電圧素子形成領域に例えば膜厚150nmの第1のゲート酸化膜205を形成する。この第1のゲート酸化膜205は約60Vの高電圧の使用に耐えることを想定し膜厚が決定される。この第1のゲート酸化膜205は、p型半導体基板201の表面全体を酸化して形成されるために本来低電圧素子領域のゲート領域となる領域にも膜厚150nmの酸化膜が形成されてしまう。そのために低電圧素子形成領域のゲート領域に開口を有するフォトリソ膜206を被着形成してHF(フッ化水素)溶液によるウェットエッチングを行い、低電圧素子領域におけるゲート酸化膜を除去する。ただし、このときのフォトリソ膜206の開口の長さ L_2 は、所望する設計上の低電圧MOSFETのゲート長 L_1 よりも大きくとするものとし、左右等しい余裕を保って低電圧素子形成領域を覆うようになるように位置合わせを行なう。

【0007】次に、フォトリソ膜206を剥離した後、図4(a)に示したようにp型半導体基板201を酸化して低電圧素子領域に低電圧MOSFETのゲート酸化膜となる第2のゲート酸化膜207を形成する。この第2のゲート酸化膜207の膜厚は例えば約20nmであるが、これは使用電圧が5~7V程度であることを想定しての値である。続いて、低電圧素子形成領域および高電圧素子形成領域に例えばCVD法により多結晶シリコンゲート電極208a、208bを選択的に形成する。

【0008】更に、同図(b)に示したように、まず高電圧素子形成領域のソース・ドレイン領域にn型不純物例えばリンのイオン注入を行い、更に熱処理を施してイオン注入した不純物の活性化を行う。これによりn型不純物層からなる高電圧ソース層209と高電圧ドレイン層210が形成される。このときイオン注入の打ち込みエネルギーを約数百KeVと比較的大きくし、熱処理も1000℃以上で数十分行うことによって高電圧ソース層209および高電圧ドレイン層210各々の接合深さに要求される耐圧を満足できる程度に深くする。引き続き、低電圧素子形成領域のソース・ドレイン領域に同じリンをイオン注入し、熱処理を施してイオン注入した不純物の活性化を行う。これによりn型不純物層からなる低電圧ソース層211および低電圧ドレイン層212が形成される。このときのイオン注入の打ち込みエネルギーは約数十KeVと比較的小さくし、また熱処理も約900℃位で10分程度とし、イオン注入された不純物を活性化する程度とすることで低電圧ソース層211および低電圧ドレイン層212の接合の深さを浅く形成して素子の微細化を確保すると共に要求される特性を確保

4

する。その後は公知の配線技術工程により、例えばボンシリケートガラスからなる中間絶縁膜213を形成し、続いて、この中間絶縁膜213の高電圧ソース層209、高電圧ドレイン層210、低電圧ソース層211および低電圧ドレイン層212各々に対応する位置にコンタクト孔215を形成し、更に例えば蒸着法によりこれらコンタクト孔215に対応する位置にアルミニウム電極214を形成する。

【0009】

【発明が解決しようとする課題】以上の工程により、低電圧MOSFETと高電圧MOSFETを同一半導体基板上に混載した半導体装置を製造することができるが、従来の方法では次のような問題があった。

【0010】すなわち、この従来の製造方法では、前述のように高電圧MOSFETの第1のゲート酸化膜205を形成する工程(図3(c))において低電圧MOSFETのゲート領域にも高電圧用の第1のゲート酸化膜205と同じ膜厚の酸化膜が同時に形成されてしまう。この酸化膜は低電圧素子形成に見合った膜厚を持たないために、一旦除去してから新たに第2のゲート酸化膜207として低電圧用の酸化膜を形成する必要がある。しかしながら、この工程においては、エッチングの際に設けるフォトリソ膜206の開口の大きさ L_2 は下地パターンに対する合わせ余裕を見込まねばならない。そのため、所望するゲートの領域 L_1 よりも広い範囲をエッチングすることになり、図3(c)からも明らかなように素子分離膜204の一部もエッチングされてしまい、結果的に低電圧素子形成領域が広がるという問題があった。すなわち、高電圧素子と低電圧素子を同一半導体基板上で形成しようとする場合には、低電圧素子領域が拡大することを見込まねばならず、例えば低電圧素子領域のみで構成される半導体装置での設計ルールよりもルールを緩めることとなり、微細化設計によって集積度を上げることができず、その結果、ゲート間の総配線長が長くなり、またチップ面積が拡大する原因となっていた。

【0011】本発明はかかる問題点に鑑みてなされたもので、その目的は、低電圧素子の集積度を犠牲にすることなく、同一半導体基板上に低電圧素子および高電圧素子を同時に形成することができる半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、半導体基板の表面の複数の領域それぞれに対応させて酸化防止膜を選択的に形成する工程と、酸化防止膜をマスクとして半導体基板を酸化することにより半導体基板の表面に第1の酸化膜を形成する工程と、第1の酸化膜を形成したのち複数の領域のうちの少なくとも1の領域における酸化防止膜を選択的に除去する工程と、半導体基板を酸化することにより酸化防止膜を除去した領域の半導体基板の表面に第2の酸化膜を形成す

5

る工程と、第2の酸化膜を形成したのち半導体基板の表面に残存している他の酸化防止膜を除去する工程と、残存していた酸化防止膜を除去したのち半導体基板を酸化することにより酸化防止膜を除去した領域の半導体基板の表面に第3の酸化膜を形成する工程とを含むものである。

【0013】本発明に係る他の半導体装置の製造方法は、半導体基板の表面の複数の領域それぞれに対応させて酸化防止膜を選択的に形成する工程と、酸化防止膜をマスクとして半導体基板を酸化することにより半導体基板の表面に第1の酸化膜を形成する工程と、第1の酸化膜を形成したのち複数の領域のうちの少なくとも1の領域における酸化防止膜を選択的に除去する工程と、半導体基板を酸化することにより酸化防止膜を除去した領域の半導体基板の表面に第2の酸化膜を形成する工程と、第2の酸化膜を形成したのち半導体基板の表面に残存している他の酸化防止膜を除去する工程と、残存していた酸化防止膜を除去したのち半導体基板を酸化することにより酸化防止膜を除去した領域の半導体基板の表面に第3の酸化膜を形成する工程と、少なくとも第2の酸化膜上の一部領域と第3の酸化膜上の一部領域に導電体膜を形成する工程と、第1の酸化膜を形成した領域および導電体膜を形成した領域以外の領域の半導体基板内に不純物を選択的に注入して不純物注入層を形成する工程とを含むものである。

【0014】本発明の半導体装置の製造方法では、具体的には、第1の酸化膜が素子分離膜、第2の酸化膜が高電圧MOS電界効果トランジスタのゲート絶縁膜、第3の酸化膜が低電圧MOS電界効果トランジスタのゲート絶縁膜、また、導電体膜がゲート電極をそれぞれ構成する。

【0015】本発明による半導体装置の製造方法では、酸化防止膜をマスクとして第1の酸化膜が選択的に形成されたのち、複数の領域のうち少なくとも1の領域における酸化防止膜が選択的に除去され、半導体基板が酸化されることにより酸化防止膜が除去された領域のみに第2の酸化膜が形成される。次いで、半導体基板の表面に残存している酸化防止膜が除去され、その後、半導体基板が酸化されることにより酸化防止膜が除去された領域に第3の酸化膜が形成される。すなわち、第2の酸化膜を形成する際において他の領域における第3の酸化膜は酸化防止膜により覆われているので、第2の酸化膜は所望の領域のみに形成され、他の領域には形成されない。そのため不要な酸化膜除去のためのレジスト膜をマスクとしたエッチング工程に晒されることがなく、マスク合わせ余裕による領域拡大を見込まなくてもよくなる。

【0016】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0017】図1(a)、(b)および図2(a)、

6

(b)は、本発明の一実施の形態の形態に係る半導体装置の製造方法における各工程での素子断面構造を表すものである。本実施の形態では、例えば約5Vで使用されるコントロール系の論理回路等に用いられる低電圧MOSFETおよび約60Vで駆動されるドライバ回路に用いられる高電圧MOSFETが混載した半導体装置の製造方法について説明する。

【0018】まず、図1(a)に示したように、熱酸化によりp型半導体基板(p型シリコン基板)101の表面に例えば膜厚約50nmのシリコン酸化膜(SiO₂)102を形成する。次に、例えばCVD(Chemical Vapor Deposition:化学的気相成長)法によりシリコン酸化膜102上の全面に膜厚例えば200nmのシリコン窒化膜203を形成した後、高電圧素子形成領域および低電圧素子形成領域以外の領域をエッチングして選択的に除去する。続いて、同図(b)に示したように、LOCOS法によりp型半導体基板101表面を選択的に酸化して例えば膜厚500nmの素子分離膜(LOCOS膜)104を形成する。続いて、高電圧素子形成領域に対応して開口105aを有するフォトレジスト膜105を形成する。このとき、開口長L₁はマスク合わせの余裕を取り、設計上の高電圧素子形成領域のゲートの長さL₂よりも大きくとするものとし、フォトレジスト膜105が左右等しい余裕を保って高電圧素子形成領域を覆うように位置合わせを行なう。

【0019】次に、プラズマエッチング技術を用いてフォトレジスト膜105の開口105a内のシリコン窒化膜103を除去し、引き続きHF水溶液によって高電圧形成素子領域のシリコン酸化膜102をエッチング除去する。このときフォトレジスト膜105の開口部はマスク合わせの余裕分だけ大きく取られているため、シリコン窒化膜103の周辺に形成された素子絶縁膜104の一部もエッチングされる。

【0020】続いて、図1(c)に示したように、熱酸化によりp型半導体基板101の高電圧素子形成領域に例えば膜厚150nmの第1のゲート酸化膜106を選択的に形成する。この第1のゲート酸化膜106は高電圧FETのゲート絶縁膜となるもので、膜厚は約60Vの使用電力を想定しているが、使用電力によっては、更に厚くする必要がある。このとき本実施の形態では、低電圧素子形成領域はシリコン窒化膜103に覆われているため酸化膜は形成されない。

【0021】次に、図2(a)に示したように150℃のリン酸水溶液でエッチングを行い低電圧素子形成領域におけるシリコン窒化膜103を除去する。更に、例えばフッ化水素(HF)溶液によってエッチングを行い、低電圧素子形成領域のP型半導体基板101上に最初に形成された膜厚50nmのシリコン酸化膜102(図1

(a))を除去する。続いて、熱酸化により低電圧素子形成領域のP型半導体基板101上に膜厚例えば約20

7

nmの第2のゲート酸化膜（ゲート絶縁膜）107を選択的に形成する。ここでは使用電圧として7～5Vを想定しているが、使用電圧がさらに小さい場合には第2のゲート酸化膜107を更に微細に形成する必要がある。続いて、低電圧素子形成領域および高電圧素子形成領域に例えばCVD法により多結晶シリコンゲート電極108a, 108bを選択的に形成する。

【0022】次に、同図（b）に示したように、まず高電圧素子形成領域のソース・ドレイン領域にn型不純物例えばリンのイオン注入を行い、更に熱処理を施してイオン注入した不純物の活性化を行う。これによりn型不純物層からなる高電圧ソース層109と高電圧ドレイン層110が形成される。このときイオン注入の打ち込みエネルギーを約数百KeVと比較的大きくし、熱処理も1000℃以上で数十分行うことによって高電圧ソース層109および高電圧ドレイン層110各々の接合深さに要求される耐圧を満足できる程度に深くする。引き続き、低電圧素子形成領域のソース・ドレイン領域に同じくリンをイオン注入し、熱処理を施してイオン注入した不純物の活性化を行う。これによりn型不純物層として低電圧ソース層111および低電圧ドレイン層112が形成される。このときのイオン注入の打ち込みエネルギーは約数十KeVと比較的小さくし、また熱処理も約900℃位で10分程度とし、イオン注入された不純物を活性化する程度とすることで低電圧ソース層111および低電圧ドレイン層112の接合の深さを浅く形成して素子の微細化を確保すると共に要求される特性を確保する。その後は公知の配線技術工程により、例えばボロンシリケートガラスからなる中間絶縁膜113を形成し、続いて、この中間絶縁膜113の高電圧ソース層109, 高電圧ドレイン層110, 低電圧ソース層111および低電圧ドレイン層112各々に対応する位置にコンタクト孔115を形成し、更に例えば蒸着法によりこれらコンタクト孔115に対応する位置にアルミニウム電極114を形成する。

【0023】以上説明したように、本実施の形態では、高電圧素子領域の第1のゲート酸化膜106を形成する工程において、その間、低電圧素子形成領域は窒化シリコン膜103に被膜されており、高電圧素子形成領域の第1のゲート酸化膜106を形成した後に低電圧素子形成領域の第2のゲート酸化膜107が選択的に形成される。すなわち、低電圧素子形成領域では高電圧素子形成領域に形成される第1のゲート酸化膜106が同時に形成されることがないので、従来のようにレジストマスクによるウェットエッチング工程に晒されることがないので、製造工程中で低電圧MOSFETのゲートのサイズが決定される要因となる工程は、LOCOS法での素子分離膜によるセルフアライン技術によるもののみであり、位置決めのためのゲート周辺の余裕をとる必要がない。このため低電圧素子形成領域の広がりを見込んでレ

8

アウトを設計する必要がなくなり、高集積度を目的とした微細化設計が可能となる。

【0024】一方、高電圧素子形成領域では、図1

（b）の工程において、プラズマエッチングにより、素子分離膜104がフォトリソ膜105のマスク合わせのための周辺余裕分だけ除去されるが、その深さはシリコン窒化膜とシリコン酸化膜のエッチング速度の違いから決定される。通常、エッチング速度はシリコン酸化膜よりもシリコン窒化膜の方が早いために、シリコン窒化膜よりも素子分離膜104が深く掘られることはなく何の不具合もない。また、高電圧MOSFETの場合、要求される耐圧を満足するためにソース・ドレイン層の距離を十分に離す必要があり、レイアウト設計時にこの制約があるので、エッチングによるゲート長のパターンの広がりには左右されない。

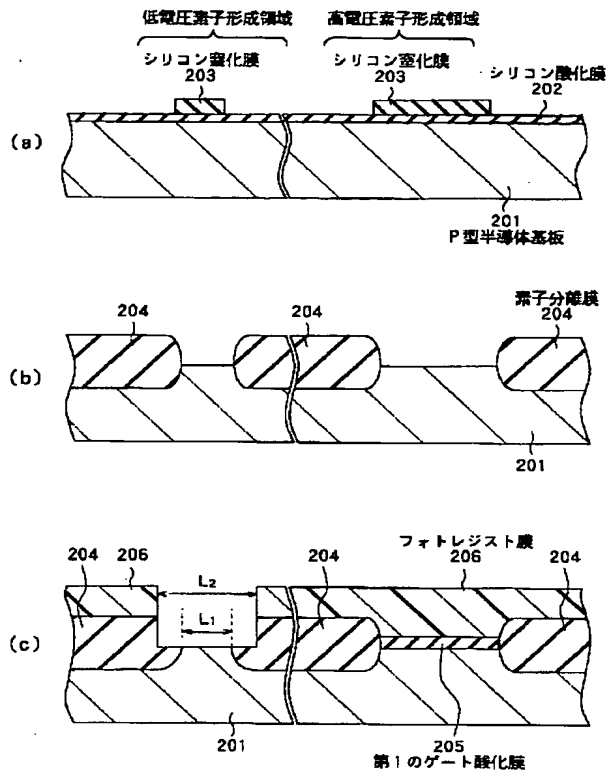
【0025】また、本実施の形態では、工程数や方法も従来の技術とほとんど変わらずに実現でき、高電圧素子形成領域のシリコン窒化膜の除去をプラズマエッチングとしたことからウェットエッチングの工程が減り、ドライプロセスへの転換ができる。更に、同一ウェハ上でゲート酸化膜を形成する工程まで高電圧素子形成領域と低電圧素子形成領域を別々に形成していくために、欠陥や歩留まりを検査する際にプロセス工程上の原因を見いだしやすいという利点もある。

【0026】以上実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されるものではなく、その均等の範囲で種々変形可能である。例えば上記実施の形態では、同一基板上に2つの素子（低電圧MOSFETおよび高電圧MOSFET）を形成する方法について説明したが、3以上の数のMOSFETなどの素子を備えた半導体装置についても適用可能である。

【0027】

【発明の効果】以上説明したように本発明に係る半導体装置の製造方法によれば、酸化防止膜をマスクとして第1の酸化膜を選択的に形成したのち複数の領域のうち少なくとも1の領域における酸化防止膜を選択的に除去し、半導体基板を酸化することにより酸化防止膜を除去した領域のみに第2の酸化膜を形成し、次いで、半導体基板の表面に残存している酸化防止膜を除去し、その後、半導体基板を酸化することにより酸化防止膜を除去した領域に第3の酸化膜を形成するようにしたので、第2の酸化膜を形成する際において他の領域における第3の酸化膜は酸化防止膜により覆われているので、第2の酸化膜は所望の領域のみに形成され、他の領域には形成されない。そのため不要な酸化膜除去のためのレジスト膜をマスクとしたエッチング工程に晒されることがなく、マスク合わせ余裕による領域拡大を見込まなくてもよくなる。従って、低電圧素子および高電圧素子のように異なる電圧が使用される複数種類の半導体素子を備えた半導体装置を製造する際に、低電圧素子側の集積度を

【図3】



【図4】

